



# **WB32F1xx PCB 布线建议**

**常州韦斯佰瑞电子科技有限公司**

## 目录

目录.....	II
1 印制电路板.....	3
2 器件位置.....	3
3 接地和供电 ( VSS// VDD) .....	3
4 去耦合 .....	3
5 供电方案.....	4
6 其它信号.....	5
7 未用到的 IO 及其性 .....	5
8 时钟.....	5
9 模拟信号.....	6
10 EMI.....	6
11 USB 原理图设计参考 .....	6
版本历史.....	7
免责声明.....	8

## 1 印制电路板

出于技术的考虑，最好使用有专门独立的接地层(VSS)和专门独立的供电层(VDD)的多层印制电路板，这样能提供好的耦合性能和屏蔽效果。很多应用中，受经济条件限制不能使用这样的印制电路板，那么就需要保证一个好的接地和供电的结构。

## 2 器件位置

为了减少 PCB 上的交叉耦合，设计版图时就需要根据各自对 EMI 影响的不同，而把不同的电路分开。比如，大电流电路、低电压电路以及数字器件等。

## 3 接地和供电（VSS / VDD）

每个模块(噪声电路、敏感度低的电路、数字电路)都应该单独接地，所有的地最终都应在一个点上连到一起。尽量避免或者减小回路的区域。为了减少供电回路的区域，电源应该尽量靠近地线，这是因为，供电回路就像个天线，成为 EMI 的发射器和接收器。PCB 上没有器件的区域，需要填充为地，以提供好的屏蔽效果(特别是对单层 PCB)。

## 4 去耦合

所有的引脚都需要适当地连接到电源。这些连接，包括焊盘、连线和过孔应该具备尽量小的阻抗。通常采用增加连线宽度的办法，包括在多层 PCB 中使用单独的供电层。同时，WB32F10x 上每个电源引脚应该并联去耦合的滤波陶瓷电容 C(100nF)和化学电容 C(10 $\mu$ F)。这些电容应该尽可能的靠近电源/地引脚；或者在 PCB 另一层，处于电源/地引脚之下。典型值一般从 10nF 到 100nF，具体的容值取决于实际应用的需要。图 1 显示了这样的电源/地引脚的典型布局。

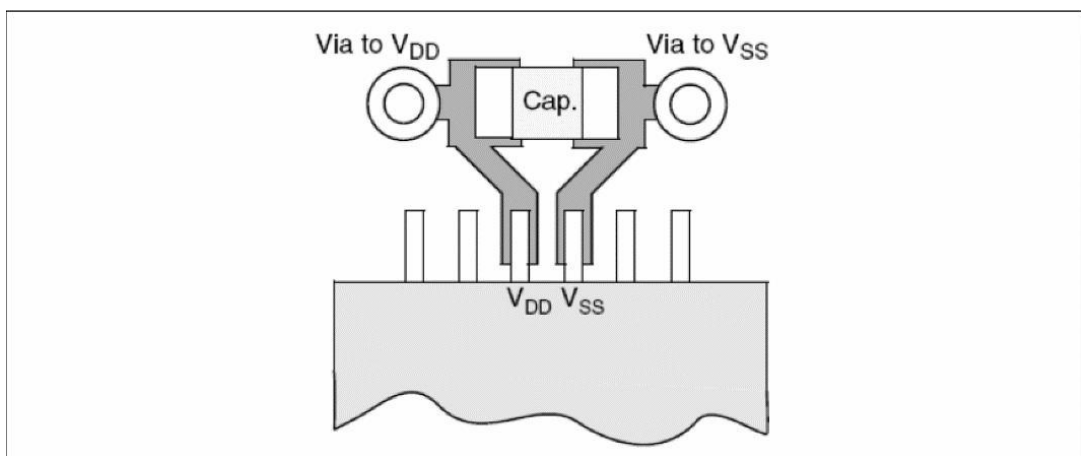


图 1 VDD /VSS 引脚的典型布局

## 5 供电方案

电路由稳定的电源 VDD 供电。

VDD = 2.0V ~ 3.6V: VDD 引脚为 I/O 引脚和内部调压器 (LDO) 供电。但如果使用了 ADC, VDD 供电必须在 2.4V ~ 3.6V 之间。

VBTA = 1.8V ~ 3.6V: 当关闭 VDD 时, 内部电源切换电路将通过 VBAT 为 RTC、外部 32kHz 振荡器和后备寄存器供电。

### 注意:

- VDD 引脚必须连接到带外部稳定电容(11 个 100nF 的陶瓷电容和一个钽电容(最小值 4.7 $\mu$ F, 典型值 10 $\mu$ F))的 VDD 电源。
- VBAT 引脚必须被连接到外部电池(1.8V < V<sub>BAT</sub> < 3.6V)。如果没有外部电池, 这个引脚必须和 100nF 的陶瓷电容一起连接到 VDD 电源上。
- VDPA 引脚必须连接到两个外部稳定电容(10nF 陶瓷电容+1 $\mu$ F 钽电容)。
- VREF+ 引脚在内部连接到了 VDPA, VREF-引脚在内部连接到了 VSSA。

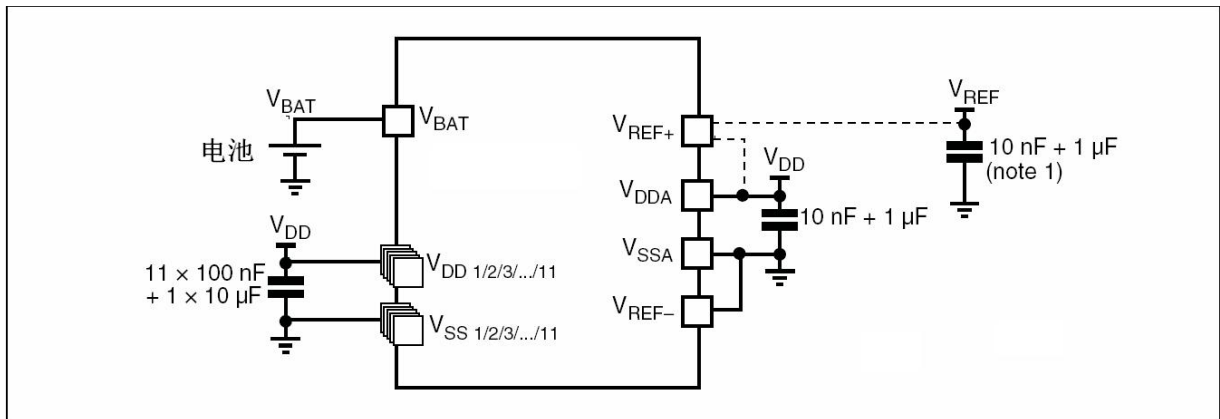


图 2 供电方案

## 6 其它信号

实际应用中，关注以下几点可以提高 EMC 性能：

- 1) 那些受暂时的干扰会影响运行结果的信号(比如中断或者握手抖动信号，而不是 LED 命令之类的信号)。对于这些信号，信号线周围铺地，缩短走线距离，消除邻近的噪声和敏感的连线都可以提高 EMC 性能。
- 2) 对于数字信号，为有效地区别 2 种逻辑状态（尽可能抬高逻辑‘1’的高电平，拉低逻辑‘0’的低电平），必须能够达到最佳可能的信号特性余量。推荐使用慢速施密特触发器来消除寄生状态。
- 3) 布线时尽可能满足 3W 原则，尽可能远离相邻走线减小耦合减少干扰。如果 ADC，CMP 对精度要求高，一定要做包地处理。
- 4) 噪声信号(时钟等)。
- 5) 敏感信号(高阻等)。

## 7 未用到的 IO 及其性

所有微控制器都为各种应用而设计，而通常的应用都不会用到所有的微控制器资源。

为了提高 EMC 性能，不用的时钟、计数器或者 I/O 管脚，需要做相应处理，比如，I/O 端口应该被设置为‘0’或‘1’（对没有用到的 I/O 引脚上拉或者下拉）；没有用到的模块应该禁止或者“冻结”。

## 8 时钟

尽可能减少 LSE 和 HSE 之间的平行走线。下图 3 中 LSE 和 HSE 从焊盘引出时，走线直接分开。

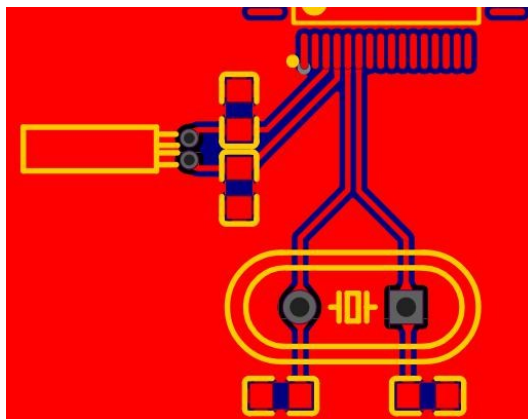


图 3 LSE 和 HSE 布线

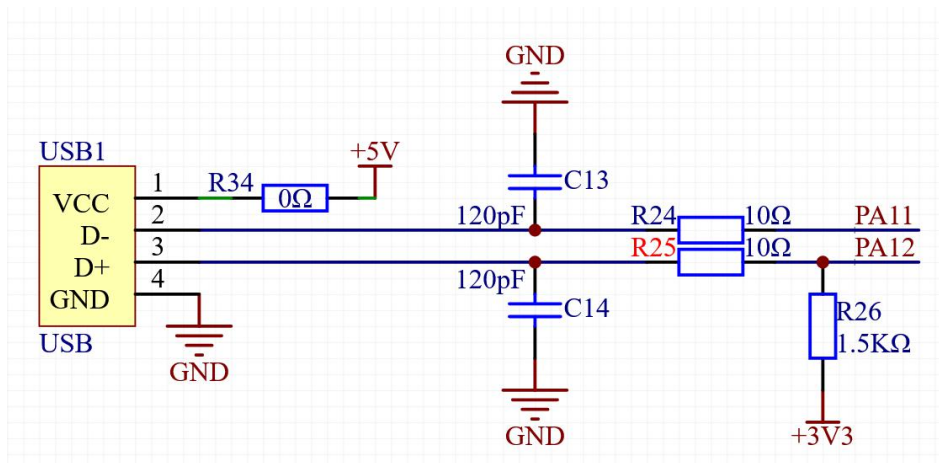
## 9 模拟信号

模拟信号跟数字信号走线分开，并且模拟信号需要用地线屏蔽，这样可以尽可能保证采样的精度。

## 10 EMI

01. 确保电源额定值适用于应用，并使用去耦电容器进行优化。
02. 在电源上提供足够的滤波电容器。大容量/旁路和去耦电容器应具有低等效串联电感（ESL）。
03. 如果布线层上有可用空间，则创建地平面。将这些接地区域利用过孔连接到地平面。
04. 电流回路尽可能小。添加尽可能多的去耦电容器。
05. 差分线对要保持线长匹配，否则会导致时序偏移、降低信号质量以及增加 EMI。
06. 差分走线要求在同一板层上，因为不同层之间的阻抗、过孔等差别会降低差模传输的效果而引入共模噪声。
07. 高速信号线不要有过孔，确保背面地平面完整，同时缩短走线距离，远离相邻走线。如果 usb 接口芯片需串联端电阻或者 D 线接上拉电阻时，务必将这些电阻尽可能的靠近芯片放置。
08. 8MCU 每一个 VDD 的电源引脚尽可能留 2 个电容的位置 1uF 0.1uF
09. SPI 或 IIC 等通讯线上，每个信号线上串一颗 10R 左右的电阻，预留一个 120pf 的电容。信号线尽量够短。
10. 晶振走线要足够短，晶振背面不要走信号线，确保晶振地平面完整。布局允许的情况下，再晶振周围多打地过孔。

## 11 USB 原理图设计参考



## 版本历史

Revision	Date	Description
1.4	2020/09/05	Initial Release

## 免责声明

本文档中的信息仅针对 WB 产品提供。本文档，包括本文档中描述的任何 WB 产品（“产品”），根据中华人民共和国和全球其他司法管辖区的知识产权法律和条约，归属 WB 所有。常州韦斯佰瑞电子科技有限公司及其子公司（“WB”）保留随时对本文档以及文档中所描述的产品与服务进行更改、更正、修改或改进的权利，恕不另行通知。WB 不承担任何因应用程序或使用本文档中描述的任何产品引起的任何责任。

购买者应对 WB 产品与服务的选择、选型和使用承担全部责任，并且 WB 不承担对 WB 产品与服务的选择、选型和使用的任何责任。

本文档未通过禁反言或其他方式对任何知识产权授予任何明示或暗示的许可。如果本文档的任何部分提及任何第三方产品或服务，则不应视为 WB 授予使用此类第三方产品或服务或其中包含的任何知识产权的许可，或视为涵盖在此类第三方产品或服务或其中包含的任何知识产权的任何方式。

除适用协议中明确规定的定制产品外，产品仅为普通商业、工业、个人或家庭应用而设计、开发或制造。产品并非设计、意图或授权用作设计或用于操作武器、武器系统、核装置、原子能控制仪器、燃烧控制仪器、飞机或宇宙飞船仪器、运输仪器、交通信号系统中仪器、生命支持设备或系统、其他医疗设备或系统（包括复苏设备和外科植入物）、污染控制或有害物管理、由于设备或仪器的故障可能导致人身伤害、死亡、财产损失或环境破坏的其他用途。

转授 WB 产品的条款与本文档中规定的声明和/或技术特征不同的，将立即使 WB 对此处描述的 WB 产品或服务的任何保证失效，并且不得以任何方式产生或扩展 WB 的任何责任。

©2022 常州韦斯佰瑞电子科技有限公司保留所有权利